

研究タイトル:

半導体物性及び半導体デバイス設計・製造技術



氏名: 清水 啓一郎 / SHIMIZU Keiichiro E-mail: koucho@asahikawa-nct.ac.jp

職名: 校長 学位:

所属学会・協会:

キーワード: 半導体, 光物性, 電子デバイス・集積回路, 微細プロセス技術

技術相談提供可能技術:

- ・電子物性全般
- ・歩留まり向上技術
- ・半導体プロセス技術(フロントエンド及びバックエンド)
- ・ESD 保護、ESD 管理技術
- ・半導体デバイス技術
- ・半導体製造装置に関する相談

研究内容: シリコン系超高周波デバイス及び1チップESDシミュレーション技術

1. 超高周波シリコン系ヘテロ半導体(SiGeC)デバイスの研究

デジタル携帯電話の爆発的普及に端を発した移動体通信技術は、今日のスマートフォンやタブレットPCの基盤技術となりました。現行の2GHz帯を主に使用する第3世代移動体通信技術に代わり、2015年頃には3.5GHz帯を使用する第4世代移動体通信技術のサービスが、開始される予定です。これら移動体通信端末の高周波回路に要求される特性は、超高周波特性と超低消費電力特性ですが、従来のシリコン系集積回路では実現できません。

SiGeC デバイスはこの課題を解決するために、バイポーラNPNTランジスタの活性ベース領域に、バンドギャップエンジニアリングを導入できるSi/SiGeCヘテロ構造を採用して、耐圧、周波数特性、電流増幅率の最適化を同時に実現するものです。

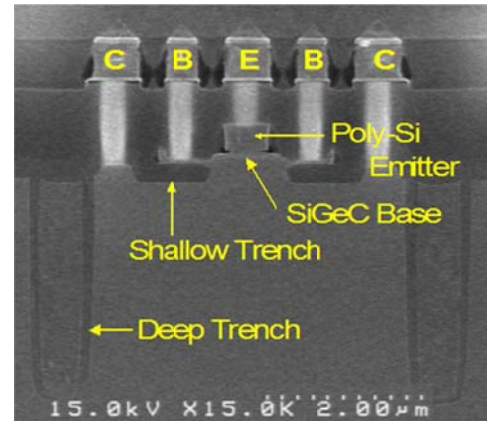


図1. 断面SEM写真

2. チップレベルESD保護回路設計検証の研究

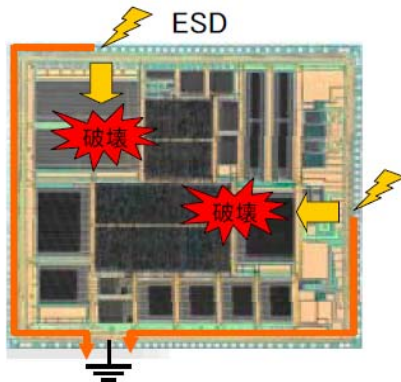


図2. ESD破壊

半導体プロセス技術の飛躍的進歩により、半導体集積回路の微細化・高集積化が進展する一方、ESD(静電気放電)による破壊が深刻な問題となっています。

本研究では、TCAD(Technology CAD)技術を用いてプロセス情報から素子単体の電気特性(回路シミュレーション用パラメータ)と共にESD対策で重要となるスナップバック特性を求めます。次に、集積回路の回路情報、前述の素子単体の電気特性とスナップバック特性を用いて、1チップレベルでの回路シミュレーションを実施し、シミュレーションで得られたESD耐量を最適化することで、ESD保護回路の性能を向上させます。

提供可能な設備・機器:

名称・型番(メーカー)	